

WEST[Help](#)[Logout](#)[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [KWC](#)

Entry 6 of 7

File: JPAB

Jan 22, 1992

PUB-NO: JP404017338A

DOCUMENT-IDENTIFIER: JP 04017338 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 22, 1992

INVENTOR-INFORMATION:

NAME

YAGI, HARUYOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD N/A

APPL-NO: JP02120691

APPL-DATE: May 10, 1990

INT-CL (IPC): H01L 21/3205

ABSTRACT:

PURPOSE: To obtain semiconductors with high-reliability laminated wiring whose resistance does not increase even by heat treatment after wiring, and whose electromigration resistance and stress migration resistance are large, by making the laminated wiring composed of Al-Ti alloy layers and Al-Cu-Ti alloy layers formed on the surfaces.

CONSTITUTION: The semiconductor of this invention has laminated wiring composed of an Al-Ti alloy layer 3 formed on a substrate 1 and an Al-Cu-Ti alloy layer 4 formed on the surface of the Al-Ti alloy layer 3. For example, a PSG 2 being a layer insulating film is formed on an Si substrate 1 in which semiconductor elements are formed, and on it an Al-Ti alloy layer 3 of thickness 250Å; is formed by sputtering using a target composed of TiAl₃. Following this, an Al-Cu-Ti alloy layer 4 of thickness 1μm is formed using a target of an Al-0.1% Cu-0.15%Ti ally, without breaking vacuum. Next using photolithography and dry etching technique, the Al-Cu-Ti alloy layer 4 and Al-Ti alloy layer 3 are patterned, and a laminated wiring pattern of width 1μm is obtained.

COPYRIGHT: (C)1992,JPO&Japio

[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [KWC](#)[Help](#)[Logout](#)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-17338

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月22日

H 01 L 21/3205

6810-4M
6810-4M

H 01 L 21/88

R
N

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-120691

⑰ 出 願 平2(1990)5月10日

⑱ 発 明 者 八 木 春 良 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 基板(1)上に形成されるAl-Ti合金層(3)と、該Al-Ti合金層(3)表面に形成されるAl-Cu-Ti合金層(4)とからなる積層配線を有することを特徴とする半導体装置。

(2) 前記Al-Ti合金層(3)はTiAl₃が主成分であることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

(概要)

半導体装置に係り、特に半導体集積回路の配線構造に関し、

エレクトロマイグレーション耐性及びストレスマイグレーション耐性の大きい配線構造を有する半導体装置の提供を目的とし、

基板上に形成されるAl-Ti合金層と、該Al-Ti合金層表面に形成されるAl-Cu-Ti合金層とからなる積層配線を有する半導体装置により構成する。

また、前記Al-Ti合金層はTiAl₃が主成分である半導体装置により構成する。

(産業上の利用分野)

本発明は半導体装置に係り、特に半導体集積回路の配線構造に関する。

半導体集積回路装置の高集積化を図るためには、半導体素子の微細化だけでなく、アルミニウム配線の幅も1μm程度あるいはそれ以下に微細化する必要がある。配線の微細化に伴い、エレクトロマイグレーション及びストレスマイグレーションによる断線不良が深刻になってきており、エレクトロマイグレーション耐性及びストレスマイグレーション耐性にすぐれたアルミニウム配線構造が望まれている。

〔従来の技術〕

従来、エレクトロマイグレーション耐性及びストレスマイグレーション耐性を改善する方法として、アルミニウムに銅とチタンを添加した合金を配線材料に用いた配線層が提案されている。ところが、この配線層は試験温度を200℃以上とすると、銅やチタンを含まない配線層より不良率が高くなることがあきらかになった。

この問題に対して、Ti層を下層、Al-Cu-Ti合金層を上層とする積層配線が提案され、200℃以上の放置試験（ストレスマイグレーション耐性試験）で断線不良率を低く抑えることが可能となった。その理由として、アルミ配線形成後の熱処理時にAl-Cu-Ti合金層とTi層が反応する結果、Al-Ti合金層が形成され、たとえ上層のAl-Cu-Ti合金層が断線しても下層のAl-Ti合金層がつながっているため断線不良が避けられたものと考えられる。

しかしながら、この積層構造の配線では、熱処理後に配線抵抗の上昇が見られる。例えば試験条

件として500℃、30分を遡んで試験すると、厚さ1μmのAl-0.1%Cu-0.15%Tiの単層配線の熱処理後の抵抗率は3.4μΩcmであるのに対し、厚さ1μmのAl-0.1%Cu-0.15%Tiの下に厚さ250ÅのTi層を持つ積層配線では、熱処理後の抵抗率は4.5μΩcmとなり、約30%の抵抗増加が認められる。

実際、半導体装置の製造では配線形成後、絶縁膜の形成、パッケージング等の工程において、数回の400～480程度の熱処理が加わる。

このような抵抗増加は半導体デバイスの性能を劣化させるため好ましくない。また、その抵抗増加を補うため、配線の厚さを増加することは平坦化を阻害するので好ましくない。

〔発明が解決しようとする課題〕

本発明は上記の問題に鑑み、配線後の熱処理によっても配線抵抗の増加がなく、かつエレクトロマイグレーション耐性及びストレスマイグレーション耐性も大きい信頼性の高い積層配線を有する

半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記課題は、基板1上に形成されるAl-Ti合金層3と、該Al-Ti合金層3表面に形成されるAl-Cu-Ti合金層4とからなる積層配線を有する半導体装置によって解決される。

また、前記Al-Ti合金層3はTiAl₃が主成分である配線を有する半導体装置によって解決される。

〔作用〕

Al-Cu-Ti/Tiの積層配線構造において、熱処理時に抵抗が30%も増加するのは、下層のTiが上層のAlと反応して金属間化合物TiAl₃を形成し、その際上層のAlが反応に費やされ、TiAl₃層が厚くなるにつれて上層の厚さが減少し、もとの厚さの2/3程度になってしまうためであると推定される。

本発明では、下層にAl-Ti合金層3を用い

ており、熱処理時にTiAl₃を形成する反応は主に下層の中で起こる。特に、下層にTiAl₃を主成分とする合金層を用いる時は、この組成はAl-Ti系では最もAlに富む相であるため、上層のAl-Cu-Ti合金層4との反応は最小限に抑えられる。従って、Al-Cu-Ti合金層4の厚さの減少も抑えられ、配線抵抗が増加することがない。

さらに、Al-Ti合金層3或いはTiAl₃を主成分とする層を下層とする積層配線は、エレクトロマイグレーション及びストレスマイグレーションに対しては、Al-Cu-Ti/Ti積層配線と同様の理由で、耐性に優れた配線となる。

〔実施例〕

第1図は実施例1を説明するための断面図であり、1はSi基板、2はPSG、3はAl-Ti合金層、4はAl-Cu-Ti合金層を表す。

半導体素子の形成されたSi基板1に層間絶縁膜であるPSG2を8000Åの厚さに形成し、その

上にTiAl₂からなるターゲットを用いてスパッタ法により厚さ250 ÅのAl-Ti合金層3を形成した。このAl-Ti合金層3はTiAl₂を主成分とする合金層である。つづいて、真空を破ることなくAl-0.1%Cu-0.15%Ti合金ターゲットを用いて厚さ1 μmのAl-Cu-Ti合金層4を形成した。次に、通常のフォトリソグラフィ技術とドライエッチング技術を用いて、Al-Cu-Ti合金層4及びAl-Ti合金層3をパターンニングし、幅1 μmの積層配線パターンを得た。

500 °C、30分の熱処理を行った後の積層配線の抵抗率は3.5 μΩcmであり、熱処理による抵抗増加はほとんど見られなかった。

また、この積層配線のエレクトロマイグレーション耐性及びストレスマイグレーション耐性の試験結果は、Al-Cu-Ti/Ti積層配線と同程度の耐性を示し、実用上問題ないことが確認できた。

第2図は実施例IIを説明するための断面図で、

ば、従来のAl-Cu-Ti単層配線、あるいはAl-Cu-Ti/Ti積層配線の問題点が解決でき、熱処理に対する抵抗率の安定性、エレクトロマイグレーション耐性及びストレスマイグレーション耐性の大きい配線を有する半導体装置を提供することができる。

本発明は半導体集積回路の信頼性の向上に寄与するところが多い。

4. 図面の簡単な説明

第1図は実施例Iを説明するための断面図、

第2図は実施例IIを説明するための断面図である。

図において、

- 1は基板であってSi基板、
- 2はPSG、
- 3はAl-Ti合金層、
- 4はAl-Cu-Ti合金層、
- 5はTiAl₂層、
- 6はフィールド酸化膜、

1はSi基板、4はAl-Cu-Ti合金層、5はTiAl₂層、6はフィールド酸化膜、7は絶縁膜、8はTi層、9はTiN層、10はソース、11はドレイン、12はゲート電極、13はゲート絶縁膜を表す。

実施例2は、電界効果トランジスタのソース・ドレイン電極にAl-Cu-Ti/TiAl₂積層配線を適用した例であり、積層配線の形成方法は実施例Iに準ずる。

Si基板1との接触を有する配線では、アルミニウムとSiとの反応を防止するため、TiN等のバリア層を用いるが、このようなバリア層の上に本発明の積層配線を用いてもよい。この場合も熱処理に対する抵抗率の安定性、エレクトロマイグレーション耐性及びストレスマイグレーション耐性については実施例Iで述べたと同様の効果が得られる。

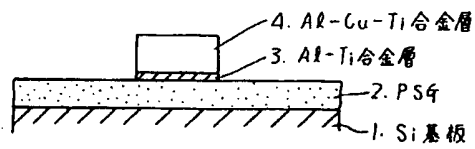
(発明の効果)

以上説明したように、本発明の積層配線によれ

- 7は絶縁膜、
- 8はTi層、
- 9はTiN層、
- 10はソース、
- 11はドレイン、
- 12はゲート電極、
- 13はゲート絶縁膜を表す。

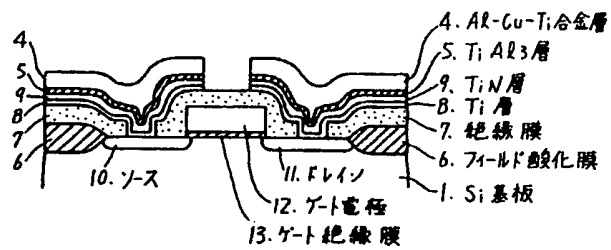
代理人 弁理士 井桁貞一





実施例 I

第 1 図



実施例 II

第 2 図